

CLIPPEDIMAGE= JP361232682A
PAT-NO: JP361232682A
DOCUMENT-IDENTIFIER: JP 61232682 A
TITLE: FIELD EFFECT TRANSISTOR

PUBN-DATE: October 16, 1986

INVENTOR-INFORMATION:

NAME
KOBAYASHI, NAOKI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
FUJITSU LTD	N/A

APPL-NO: JP60074727
APPL-DATE: April 9, 1985

INT-CL (IPC): H01L029/80
US-CL-CURRENT: 257/280

ABSTRACT:

PURPOSE: To facilitate the integration and to reduce the size of an integrated circuit by bending the gate electrode of an FET at 90°, thereby eliminating the gate azimuth dependency of a threshold voltage.

CONSTITUTION: A Schottky gate electrode 21, a source electrode 22 and a drain electrode 23 are formed on a GaAs substrate. The electrode 21 is bent at a right angle at the bend portion 24, and the lengths of the extensions of two directions are preferably equal. When the gate electrodes of FETs are formed in two perpendicular directions in this manner, the gates which have equal best and worst azimuths are formed. Accordingly, the azimuth dependency can be eliminated, and it is advantageous when applied to an FET having a large gate width.

COPYRIGHT: (C)1986,JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-232682

⑬ Int.Cl.⁴
H 01 L 29/80

識別記号 庁内整理番号
7925-5F

⑭ 公開 昭和61年(1986)10月16日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 電界効果トランジスタ

⑯ 特 願 昭60-74727

⑰ 出 願 昭60(1985)4月9日

⑱ 発 明 者 小 林 直 樹 川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 出 願 人 富 士 通 株 式 会 社 川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 松 岡 宏 四 郎

明 細 書

1. 発明の名称

電界効果トランジスタ

2. 特許請求の範囲

ガリウム砒素半導体基板上に形成された電界効果トランジスタにおいて、該トランジスタのゲート電極パターンが90度に屈曲してなることを特徴とする電界効果トランジスタ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は集積回路装置に係り、特に集積回路装置に用いられ、ゲート方位による特性の依存性を軽減したガリウム砒素電界効果トランジスタの形状に関する。

電界効果トランジスタ(以後略称PBT)は半導体基板上にオーミックに接続されたソースおよびドレイン電極と、ゲートと呼ばれる制御電極からなる半導体素子であり、ゲートに印加する電圧によりソース、ドレイン間の電流制御を行うものである。

ここでPBTはゲートの構造により接合形PBTと誘導ゲートPBTに分類されている。

さて、これらのPBTを形成する半導体基板材料としてシリコン(Si)のような単体半導体とガリウム砒素(GaAs)のような化合物半導体があるが、キャリアの移動度が大きなことからGaAsを用いたPBTが注目され、高周波用および高速動作が必要な用途への応用が進められている。

なかでも超高速の情報処理が要求される科学技術計算用電算機など高性能情報処理装置の主要構成部品であるIC或いはLSIの構成素子としてGaAs PBTの開発が進められている。

(従来の技術)

ICやLSIのような集積回路に使用する半導体素子の必要条件としては特性が均一であって偏差が少ないことが必要である。

然しGaAs PBTはゲートの方位によってトランジスタの閾値電圧が異なり、また標準偏差も異なるという問題がある。

第4図はこれを説明するもので(100)面を

基板面とするGaAs基板(ウエハ)1の上にゲートの方位が $(01\bar{1})$ と (011) をとる二つのトランジスタを形成する場合、 $(01\bar{1})$ 方位をとるトランジスタ3の方が (011) 方位をとるトランジスタ2よりも閾値電圧が高く、また標準偏差値が少ないことが公知である。

(例えば電信電話公社、電気通信研究所、研究実用化報告、第33巻第4号、1984、p650)

この原因は明確でなく表面応力に基づく n^+ 層の横方向異常拡散が方位によって異なるためなどと言われているが、IC、LSIなどの集積回路を形成するに当たって、ゲート方位を一定として多数のトランジスタをパターン設計することは集積回路の小形化の点で著しく不利である。

(発明が解決しようとする問題点)

以上記したようにGaAs FETのゲート方位がウエハの結晶方位に依存性をもっていると云う問題がある。

また複数のGaAs FETからなる集積回路の形成に当たって閾値電圧の標準偏差を少なく押さえるた

め、最良の方位にゲートを設計しているが、この制約によって充分な小形化が達成できないことが問題である。

(問題点を解決するための手段)

上記の問題はガリウム砒素半導体基板上にFETを形成する場合に該トランジスタのゲート電極パターンを90度づつ屈曲して形成することにより解決することができる。

(作用)

本発明はFETのゲート電極を互いに直角な二つの方向に形成することによって最良方位と最悪方位とを等分に含むゲートを形成することができ、これによって方位依存性を無くするもので、ゲート幅の大きなFETに適用すると有利である。

例えばスタックRAMは6個のトランジスタで1ビットが構成されており、この場合にアクセス時間を短くするためゲート幅が $100\mu\text{m}$ 以上と広いFETが使用されている。

かかる場合に本発明に係る互いに直角な二つの方向に屈曲したゲートを備えたFETを使用すると

3

ゲートに結晶方位依存性がないため、高密度なスタックRAMの設計が可能となる。

更に本発明に係るFETは従来の楕形に形成されたゲート電極を有するFETの楕の先の部分を接続してゲート電極に直角に屈曲する部分を設け、素子面積の割にゲート幅を長くできる。

(実施例)

実施例1:

第1図は本発明を適用したFETを示す平面図である。

図で21はGaAs基板上に形成されたショットキ・ゲート電極、22と23はそれぞれソース電極とドレイン電極である。

ゲート電極21は屈曲部24で直角に曲がっており、二つの方向に延びる長さはそれぞれ等しいことが望ましい。

このようにゲート電極が直角に屈曲しているFETを用いて集積回路装置を形成すると閾値電圧の変動を抑制することができる。

実施例2:

4

第2図は本発明に係るFETの別の実施例の平面図、また第3図はこれと等出力で小形化を目的として実用化されている従来のFETの平面図である。

すなわち第3図に示す従来のFETはソース電極4およびドレイン電極5を図に示すように交互に形成し、ソース電極4およびドレイン電極5の一边を導体パターン6、7で接続する構造をとり、一方四個のゲート8は楕歯状に対向するそれぞれのソース電極4とドレイン電極5の間に形成されており、導体パターン9により相互に接続し楕歯状を呈している。

なおゲート8を連結する導体パターン9とドレイン電極を連絡する導体パターン7とは絶縁層により絶縁されている。

なお、この従来例のゲート長は $1\mu\text{m}$ 、またゲート幅は $30\mu\text{m}$ のものが4個、すなわち $120\mu\text{m}$ であり、また素子寸法は横 $44\mu\text{m}$ 、縦 $45\mu\text{m}$ であり $1980\mu\text{m}^2$ の素子面積を持っている。

一方本発明に係るFETはS字形のジグザグ状をしたゲート10とコの字形をしたソース電極11とド

レイン電極12とから構成されており、ゲート長とゲート幅は第3図の場合と同様であるが、素子寸法は横 $49\mu\text{m}$ 、縦 $37\mu\text{m}$ であり素子面積は $1813\mu\text{m}^2$ と小形化されている。

このように本発明に係るFETはゲートの方位依存性を持たない以外に小形化も達成されている。

(発明の効果)

本発明はFETのゲート電極を90度に屈曲させて形成するもので、これにより閾値電圧のゲート方位依存性を無くすることができ、そのために集積化が容易であり、また素子面積を縮小できるため集積回路の小形化を達成することができる。

4.図面の簡単な説明

第1図は本発明に係るFETの一実施例を示す平面図、

第2図は本発明に係るFETの別の実施例を示す平面図、

第3図は従来の改良形FETの平面図、

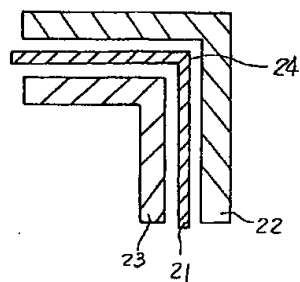
第4図はゲートの結晶方位依存性を説明する斜視図、

である。

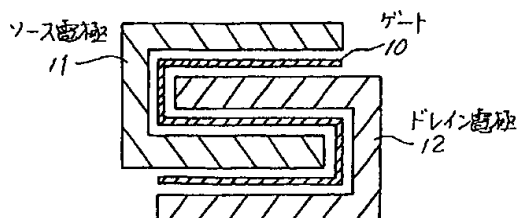
図において、

- 1はGaAsウエハ、
 - 2、3はトランジスタ、
 - 4、11、22はソース電極、
 - 5、12、23はドレイン電極、
 - 6、7、9は導体パターン、
 - 8、10、21はゲート電極、
 - 24は屈曲部、
- である。

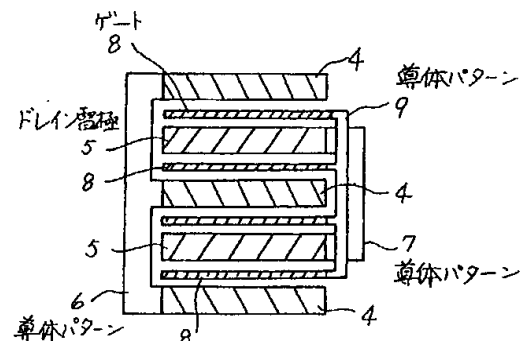
代理人 弁理士 松岡宏四郎



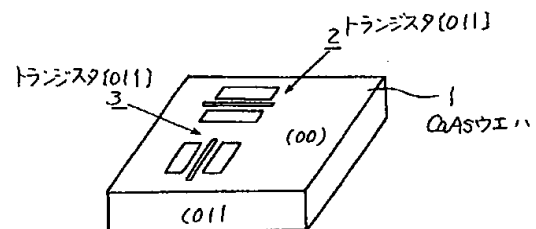
第1図



第2図



第3図



第4図